

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

64-008579

(43)Date of publication of application : 12.01.1989

(51)Int.Cl.

G11C 7/00

G11C 17/00

(21)Application number : 62-164451

(71)Applicant : NEC CORP

(22)Date of filing : 30.06.1987

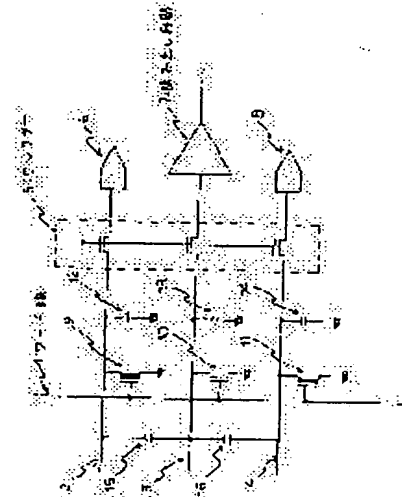
(72)Inventor : ADACHI TAKAO

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To prevent malfunction based on a side face capacitance of a wire by setting a non-selection bit line to the same potential as a readout detection potential of a selection bit line.

CONSTITUTION: When a bit line 3 and a word line 1 are selected, a selector 5 connects the bit line 3 to a readout circuit 7 and the bit line and non-selection bit lines 2, 4 at both sides in the arrangement are connected to readout potential setting circuits 6, 8. When a transistor (TR) 10 is turned off in the selection state and the parasitic capacitor 13 is finished for being charged, the potential of the bit line 3 reaches a threshold voltage (VTH) and no current flows. On the other hand, in the non-selection bit lines 2, 4, since TRs 9, 11 are turned on in the selecting state, a current is supplied from readout potential setting circuits 6, 8 and the potential of the bit line is set to the voltage VTH. Thus, no potential difference is lost between it lines. Thus, malfunction due to line capacitance coupling is prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

⑫ 公開特許公報(A)

昭64-8579

⑬ Int.Cl.⁴G 11 C 7/00
17/00

識別記号

3 1 1

庁内整理番号

G-7341-5B
E-7341-5B

⑭ 公開 昭和64年(1989)1月12日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭62-164451

⑰ 出 願 昭62(1987)6月30日

⑱ 発 明 者 安 達 隆 郎 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 桑井 清一

明細書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

ワード線と、複数のビット線と、上記ワード線と複数のビット線との交叉位置にそれぞれ設けられ記憶している情報に対応した電流を通過させる複数のメモリセルと、上記メモリセルを通過する電流に基づき該メモリセルの記憶している情報を判断する読み出し回路と、上記複数のビット線の内の1本を選択して上記読み出し回路に接続させるセクタとを備えた半導体記憶装置において、

非選択ビット線の電位を選択されたビット線の電位と略同一に保つ読み出し電位設定回路をさらに設け、上記セクタは非選択ビット線を読み出し電位設定回路に接続するようにしたことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体記憶装置に関し、特に、情報の読み出し回路に関する。

〔従来の技術〕

従来、この種の半導体記憶装置では、メモリセルの記憶内容を読み出す場合には、まず1本のワード線を選択して該ワード線によりゲート操作される複数のメモリセルから情報を読み出す。次に、1個の読み出し回路につき1本のビット線を選択してそのビット線に所定の電位を与え、電流の有無を検出するか、電位の変化を検出して読み出された情報を判断していた。

第3図に従来の半導体記憶装置を示す。複数のビット線35は、セクター32により1本だけ選択され、読み出し検出回路31に接続される。ワード線33とビット線35との交点にメモリセル34が配設されており、読み出しには非選択のビット線35は読み出し検出回路31には接続されず、読み出し回路31はセクター32と選択

されたワード線とを介して活性化された1個のメモリセルとのみ接続している状態となる。したがって、従来の装置では非選択のビット線35の状態に関係なく選択されたビット線とワード線との交点に位置するメモリセル34の記憶内容が読み出されていた。

〔発明が解決しようとする問題点〕

近年、半導体記憶装置では、リソグラフィ技術の進歩により半導体記憶装置の寸法が微細化されこの微細化技術の進展の中で生ずる多くの問題の1つは、配線間容量である。

従来配線につく容量としては、配線の始点および終点の容量と、当該配線の上層配線または下層配線との平行平板近似容量とを考慮すれば十分であった。しかしながら、配線の微細化が図られると、配線巾ならびに隣接する配線間隔が短縮されるので、平行平板近似容量による容量以外にも配線の各面からの電気力線の影響を無視できなくなる。特に、従来無視されていた側面容量、すなわ

ード線の選択レベルに対してオフ状態であるとする、電流は流れず、読み出し回路からの電流は、ビット線に寄生する容量51を所定の電位まで充電すると流れなくなる。そこでこの電流を検出すればメモリセルの記憶内容を正しく検出できることになる。一方、非選択ビット線45には選択ビット線との間の線間容量52と、寄生容量50と、トランジスタ47とが接続されている状態におかれている。このときトランジスタ47がワード線の選択レベルに対してオン状態であったとすると、ビット線45の電位はこのトランジスタ47によって接地レベルに引き下げられる。このときビット線45と46との間に電位差が生じ、線間容量52を通じて電流がビット線46から45へ流れる。(図中12で示す)この電流は読み出し回路41から供給されているものであり、読み出し回路41はこの電流により選択されたメモリセル48をオン状態と誤検出するか、またはビット線45と46とが同電位となり電流12が0になるまでメモリセル48のオフ状態を検出できないこと

ち互いに隣接する配線間の容量は間隔の短縮により急増する。

かかる微細化の進展に伴い上述した従来の半導体記憶装置では、ビット線の側面容量を無視していたので、容量結合によりビット線の状態が変動し、読み出し動作に誤動作が生ずるという問題点があった。かかる誤動作を第4図を参照して詳述する。第4図において、読み出し回路41は電流センスアンプで構成された電流センス方式を採用している。この電流センス方式とは、ビット線を所定の電位に設定し、その時に流れ込む電流に基づき読み出された情報を判断する方式である。ビット線45、46はセレクター42を介して読み出し回路41に接続されており、ワード線49と各ビット線の交点にはメモリセルとしてのトランジスタ47、48が配設されている。さて、ワード線49が選択レベルとなり、セレクター42内のトランジスタ43がオフし、トランジスタ44がオンしてビット線46が選択され、読み出し動作が開始したとする。トランジスタ48は、ワ

になる。

したがって本発明の目的は隣接する配線の側面容量に基づく誤動作を防止することである。

〔問題点を解決するための手段〕

本発明はワード線と、複数のビット線と、上記ワード線と複数のビット線との交叉位置にそれぞれ設けられ、記憶している情報に対応した電流を通過させる複数のメモリセルと、上記メモリセルを通過する電流に基づき該メモリセルの記憶している情報を判断する読み出し回路と、上記複数のビット線の内1本を選択して上記読み出し回路に接続させるセレクタとを備えた半導体記憶装置において、非選択ビット線の電位を選択されたビット線の電位と略同一に保つ読み出し電位設定回路をさらに設け、上記セレクタは非選択ビット線を読み出し電位設定回路に接続するようにしたことを特徴としている。

〔実施例〕

次に本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例の構成を示す回路図である。第1図において、1はワード線、2, 3, 4はビット線、9, 10, 11はそれぞれのビット線とワード線の交点に配設されたメモリセルである。5は本発明によるセレクターである。セレクター5は、複数の(第1図には簡単な為3本のビット線としたが、多数のビット線が存在しているものとする。)ビット線から、選択されたビット線、例えば3のみを読み出し回路7に接続し、その配置上の両隣の非選択ビット線2, 4を本発明による読み出し電位設定回路6, 8にそれぞれ接続する機能を有する。12, 13, 14はそれぞれのビット線の寄生容量であり、15, 16は線間容量である。第2a図に本実施例の読み出し電位設定回路の具体的構成図を示す。これは第2b図の24で示す部分に相当する。電位はインバータ23のスレッシュホールド電圧(V_{TH})に設定される。この回路には出力に相当するものはな

となる電流を供給しつづける。)この結果、ビット線間に電位差はなくなり、線間容量結合による誤電流も生じない。その結果、誤動作も、検出時間の遅れも生ぜず良好な記憶内容の読み出し動作が可能となる。

[発明の作用および効果]

以上説明したように本発明は半導体記憶装置において非選択ビット線を選択ビット線の読み出し検出電位と同じ電位に設定することにより、選択ビット線と非選択ビット線間の線間容量によって生ずる誤った電流を防ぎ、読み出し動作における誤検出、ならびに読み出し動作の高速化を計ることができ、配線間隔の減少による配線間容量の増大に対して影響を受けない半導体記憶装置を提供できる効果がある。

すなわち、上述した従来の半導体記憶装置は、読み出し動作中の非選択ビット線には回路上一何ら動作を求めているのに対し、本発明は、ビット線間容量結合を考慮して非選択ビット線に対して

く、非選択ビット線の電位を V_{TH} へと自走的に設定し、必要な電流を供給しつづける。第2b図に読み出し回路7の具体的構成を示す。24で示す部分は読み出し電位設定回路6, 8と同一構成であり、25で示すレベルシフタ回路により電流のオン、オフを検出する。いわゆる、電流センスアンプである。

動作について説明する。ビット線3とワード線1とが選択されたものとする。この時セレクター5は、ビット線3を読み出し回路7に接続すると同時に、このビット線と配置上両隣の非選択ビット線2, 4を読み出し電位設定回路6, 8へ接続する。トランジスタ10は選択状態でオフ状態であるとする、寄生容量13を充電し終わるとビット線3の電位は V_{TH} となり電流は流れない。一方非選択ビット線2, 4においては、トランジスタ9, 11が選択状態でオン状態になるので、この場合、読み出し電位設定回路6, 8から電流が供給され、ビット線の電位を V_{TH} に設定する。
(トランジスタ9, 11のオン抵抗 \times 電流 $=V_{TH}$)

も選択ビット線と同一な電位を設定する回路を備えるという相違点を有する。

4. 図面の簡単な説明

第1図は本発明の一実施例の回路図、

1. ワード線、
- 2, 3, 4. ビット線、
- 9, 10, 11. メモリセルトランジスタ、
- 12, 13, 14. ビット線の寄生容量、
- 15, 16. ビット線間容量、
5. セレクター回路、
- 6, 8. 読み出し電位設定回路、
7. 読み出し回路。

第2a図は一実施例の読み出し電位設定回路の回路図、

23. 電位設定用インバータ、
22. Nチャンネルトランジスタ、
21. Pチャンネルトランジスタ。

第2b図は、一実施例の読み出し回路の回路図、

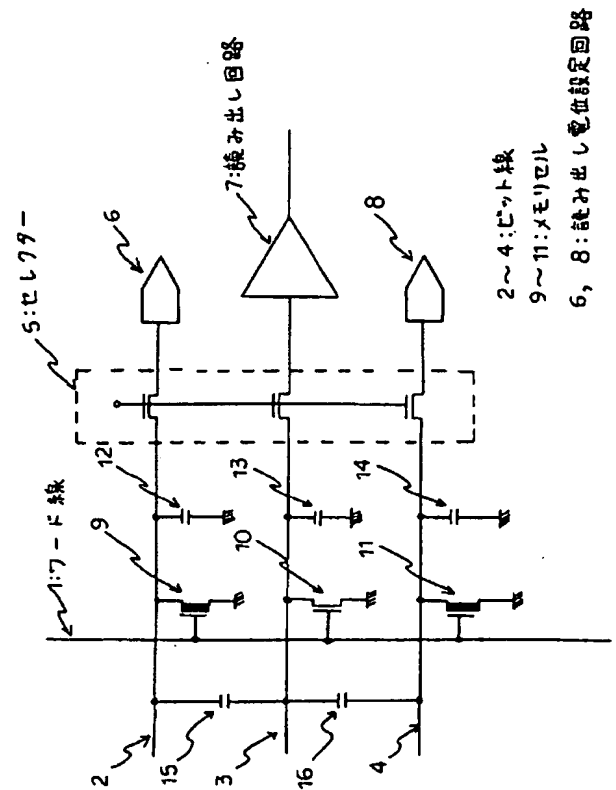
25. レベルシフタ回路。

第3図は従来の半導体記憶装置の概念を示す回路図、第4図は線間容量によって生ずる問題点を示すための回路図である。

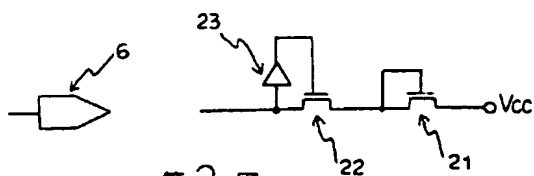
特許出願人 日本電気株式会社

代理人 弁理士 桑 井 清 一

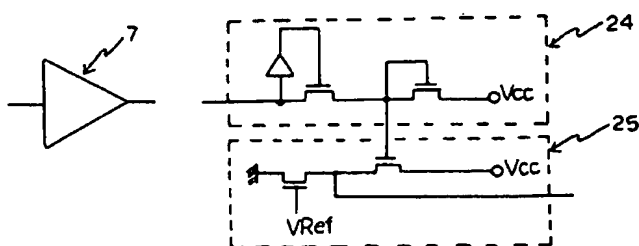
第一圖



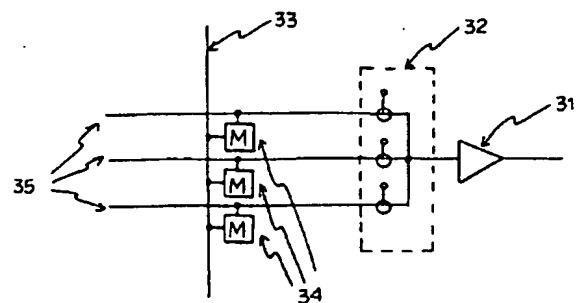
第2.圖



第 2b 圖



第 3 圖



第 4 圖

